

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-023789

(43)Date of publication of application : 31.01.1991

(51)Int.Cl.

H04N 7/01

H04N 9/77

(21)Application number : 01-156673

(71)Applicant : TOSHIBA CORP
TOSHIBA AUDIO VIDEO ENG CORP

(22)Date of filing : 21.06.1989

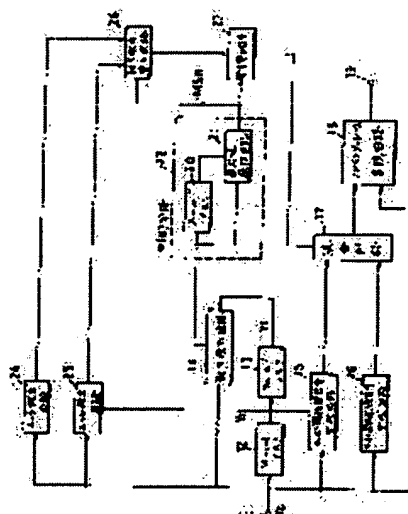
(72)Inventor : ISHII SATOYUKI
KOMATSU SUSUMU

(54) MOVEMENT ADAPTIVE PROCESSOR

(57)Abstract:

PURPOSE: To attain accurate movement detection with simple constitution by converting a movement detection signal into the movement detection signal with an interpolation signal mixing movement detection sensitivity characteristic and an edge detection correction movement detection sensitivity characteristic.

CONSTITUTION: A movement detection circuit 14 takes inter-frame difference from Y0 and Y2 to obtain a movement detection signal with one nonlinear movement detection sensitivity characteristic being the synthesis of the movement detection sensitivity characteristic for interpolation signal mixing and the movement detection sensitivity characteristic for edge detection correction. The movement detection signal is fed to a control circuit 22 comprising of a field memory 20 and a maximum value selection circuit 21, expanded temporarily and sent to a conversion circuit 27. Then the signal is converted into a movement detection signal according to an edge discrimination signal from a movement component elimination circuit 26 and the converted movement detection signal is fed to a mixing circuit 17. Moreover, the movement detection signal outputted from the control circuit 22 is fed to the movement component elimination circuit 26 and the movement component is eliminated from the inter-field edge detection signal. Thus, accurate movement is detected with simple constitution.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-23789

⑬ Int.Cl.⁵

H 04 N 7/01
9/77

識別記号

G

庁内整理番号

7734-5C
7033-5C

⑭ 公開 平成3年(1991)1月31日

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 動き適応処理装置

⑯ 特 願 平1-156673

⑰ 出 願 平1(1989)6月21日

⑱ 発 明 者 石 井 聡 之 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜
事業所家電技術研究所内

⑲ 発 明 者 小 松 進 神奈川県横浜市磯子区新杉田町8番地 東芝オーディオ・
ビデオエンジニアリング株式会社開発事業所内

⑳ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉑ 出 願 人 東芝オーディオ・ビデオエンジニアリング株
式会社
東京都港区新橋3丁目3番9号

㉒ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

動き適応処理装置

2. 特許請求の範囲

テレビジョン信号をnフレーム(nは整数)分
記憶して遅延出力する第1の記憶手段と、

この第1の記憶手段に入力されるテレビジョン
信号と前記第1の記憶手段から出力されるテレビ
ジョン信号との差分信号を取出す手段と、

前記差分信号を入力としこの差分信号が第1の
所定値より小さい範囲で出力が変化する第1の非
線形特性と、前記差分信号が前記第1の所定値よ
り大きい第2の所定値より大きい範囲で出力が変
化する第2の非線形特性と、前記差分信号が前記
第1の所定値より大きく第2の所定値より小さい
範囲で出力が変化する第3の非線形特性とを合成
した非線形特性を備え、この非線形特性に基づい
て前記差分信号を第1の動き検出信号に変換する
動き検出手段と、

前記テレビジョン信号の画柄の変化点を検出す

る変化点検出信号を得る手段と、

前記第1の動き検出信号をmフィールド(mは
整数)分記憶して遅延出力する第2の記憶手段を
主構成要素とする制御回路と、

この制御回路から出力される第1の動き検出信
号を前記第1の非線形特性による第2の動き検出
信号と前記第2の非線形特性による第3の動き検
出信号と前記第3の非線形特性による第4の動き
検出信号に変換し、前記画柄の変化点検出信号に
応じて、前記第2の動き検出信号と前記第3の動
き検出信号と前記第4の動き検出信号とを選択的
に出力する変換回路と、

この変換回路から出力される動き情報に基づい
て前記テレビジョン信号の処理を制御する信号処
理部とを具備したことを特徴とする動き適応処理
装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明はテレビジョン画像の動き部分、静

止部分を検出し、その検出結果に応じてテレビジョン信号の処理を制御する動き適応処理装置に関する。

(従来の技術)

ここ数年来、テレビジョン画像の高品質・高精細化を図るために、全く新しい方式の高品テレビジョン(HDTV)の研究開発と並行して、現行方式においてもデジタル信号処理技術を用いた画質改善の研究開発が盛んである。そのうち、代表的なものとして、順次走査(ノンインターレース)変換方式、適応形Y/C分離方式があるが、いずれの方式も画像の動き部分、静止部分を検出する動き検出回路を必要とし、この動き検出回路の出力に応じて処理方法の切り換えを行っている。

以下、ノンインターレース変換方式を例にとりて説明するが、適応形Y/C分離方式においても同様な手法により画質の改善が可能である。

ノンインターレース変換方式は、インターレース(飛び越し走査)で伝送されてきたテレビジョン信号をノンインターレース(順次走査)に変換

することで、現行方式の問題となっていたラインフリッカ、ラインクローリング等の妨害を除去する方式である。具体的に第3図を参照して説明すると、NTSC方式において、画像メモリを用いて525本のインターレース画像を、525本のノンインターレース画像に変換する原理は以下になる。

まず静止画像については、現在のフィールドを「0」として、1フィールド前のフィールド「-1」のデータを画像メモリに記憶させておき、第3図中の矢印aに示すように、現在のフィールド「0」のデータと1フィールド前のフィールド「-1」のデータとを同時に出力する。すなわち、時間軸方向xのみの演算を施したフィールド間内挿を行う。これによって、静止画像、動画像共、525本のインターレース画像を525本のノンインターレース画像に変換することができ、ラインフリッカや大画面フリッカ等のインターレース障害を除去することができる。

ここで、第4図は、上記のような原理に基づい

て構成した従来の動き適応ノンインターレース変換装置を示す。入力端子11には、インターレース方式のテレビジョン信号のうち輝度信号Y₀が供給される。この輝度信号Y₀は、第1のフィールドメモリ12によって1フィールド分遅延された後、第2のフィールドメモリ13によってさらに1フィールド分(合計2フィールド=1フレーム)遅延される。

入力端子11に供給された輝度信号Y₀及びフィールドメモリ13から出力される輝度信号Y₁は、それぞれ1フレーム間の差を取ることができる動き検出回路28に供給され、動き検出信号の生成に供される。また輝度信号Y₀及び第1のフィールドメモリ12から出力される輝度信号Y₁は、フィールド間補間信号生成回路15に供給され、フィールド間補間信号の生成に供される。さらに、輝度信号Y₀は、ライン間補間信号生成回路16に供給されて、ライン間補間信号の生成に供される。

上記フィールド間補間信号及びライン間補間信号はともに混合回路17に供給され、動き検出信号

に応じた比率で混合される。混合回路17の出力は、ノンインターレース変換回路18に供給され、輝度信号Y₂に基づいてノンインターレース信号に変換され、出力端子19から取り出される。

ここで、ノンインターレース変換を画像の動きに適應させるため、動き検出回路28によって1フレーム間差を取って動き検出信号を生成する。しかし、単に1フレーム間差をとっても動きを検出できるとは限らない。

今、第6図において、横軸を画像の水平位置とし、縦軸をレベルとすると、単に1フレーム間差(「0」フィールドと「-2」フィールドとの間の差)を取った動き検出信号は、 α と γ の部分で動きを検出したものとなっているものの、 β の部分(「-1」フィールドに対応)は動きがあるにもかかわらず検出していないことになる。この場合は、動き検出信号の β の部分は動きがない、つまり静止画像として処理され、画面上2線ぼけという障害が発生する。

そこで従来は、第4図に示すように動き検出回

路28と混合回路17との間にフィールドメモリ20及び最大値選択回路21よりなる制御回路22を介在させ、現在の動き検出信号と1フィールド前の動き検出信号とでレベルの高い方を出力するようにしている。このようにすれば、第6図に示すように動き検出信号をテンポラルに引き伸ばすことができ、 β の部分の欠落を保護することができる。

また、2線ぼけの障害を減らすために動きの検出感度を高めると、静止画像の画柄のエッジ部では、ノイズ等による動画判定によりちらつきが生じるために、一般には画柄のエッジ部において動きの検出感度を低くする。このような画柄のエッジ部とそうでない平坦部との動き検出感度の切換えはテンポラルに引き伸ばした動き検出信号に対して行うのが効果的である。

ここで、第5図(b)は平坦部用の動き検出感度特性を示したものである。動き検出信号を2ビットで表した場合の例であり、フレーム間差が「0」に近いときは動き検出信号も「0」となり、完全静止画として判定する。フレーム間差が増大

するにつれて動き検出信号も大きくなり、フレーム間差が一定値を超えると動き検出信号は「3」となり、完全動画と判定する。

第5図(c)は、エッジ部用の動き検出感度特性を示したもので、動画判定に対する感度が低くなっている。第5図(a)は平坦部用の動き検出感度特性とエッジ部用の動き検出感度特性を加算合成したものである。すなわち、動き検出信号が「0」から「3」までは、平坦部用、「4」から「7」まではエッジ部用の感度特性であり、両者は、MSBビットの値を見ることによって判別可能である。このような原理で判定することにより、2つの2ビットの信号を1つの3ビットの信号にすることができ、信号の削減が図られている。

第5図(a)に示す感度特性によって得られた動き検出信号は、第4図の制御回路22に供給され、テンポラルに引き伸ばされる。これにより、動き検出の欠落は保護される。制御回路22から出力される動き検出信号は、動き判定回路23を構成する変換回路27に供給される(動き判定回路23は動き

成分除去回路28と変換回路27からなっている)。

変換回路27は、第7図に示すように構成されており、第5図(a)に示した動き検出信号を、エッジ判定信号に応じて第5図(c)(エッジ部の時)あるいは第5図(b)(平坦部の時)の特性に変換している。但し、動き成分除去回路28から出力されるエッジ判定信号は、エッジ部検出のとき「1」、それ以外のとき「0」であるものとする。

第7図において、アンド回路 $G_1 \sim G_2$ は、それぞれ動き検出信号の下位2ビットを各別に入力し、共通ゲート信号が「1」のとき入力したビット信号をそのまま出力し、共通ゲート信号が「0」のとき入力したビット信号を遮断してその出力を全て「0」とする。共通ゲート信号は、エッジ判定信号を反転回路 G_3 で反転した信号と動き検出信号のMSBビット信号とをオア回路 G_4 に入力し、論理和をとって生成する。

即ち、オア回路 G_4 から出力されるゲート信号は、動き検出信号が「3」以下(MSB=0)で

エッジ判定信号が「0」のとき「1」となって、アンド回路 $G_1 \sim G_2$ から動き検出信号の下位2ビットを出力させる。ここで、エッジが検出され、エッジ判定信号が「1」になると、共通ゲート信号は「0」となり、アンド回路 $G_1 \sim G_2$ の出力を強制的に「0」とする。また動き検出信号が「4」以上(MSB=1)でエッジ判定信号が「0」のとき「1」となって、アンド回路 $G_1 \sim G_2$ から動き検出信号の下位2ビットを出力させる。ここでエッジが検出され、エッジ判定信号が「1」になっても共通ゲート信号は「1」のままであり、アンド回路 $G_1 \sim G_2$ の出力は変わらない。

一方、オア回路 G_4 は、それぞれアンド回路 $G_1 \sim G_2$ から出力されるビット信号を各別に入力し、共通ゲート信号が「0」のとき入力したビット信号をそのまま出力し、共通ゲート信号が「1」のときその出力を全て「1」とする。共通ゲート信号は、エッジ判定信号を反転回路 G_3 で反転した信号と動き検出信号のMSBビット信

号とをアンド回路 G_1 に入力し、論理積をとって生成する。

即ち、アンド回路 G_1 から出力されるゲート信号は、動き検出信号が「3」以下 ($MSB=0$) でエッジ判定信号が「0」のとき「0」となって、アンド回路 $G_1 \sim G_4$ からの各ビット信号をそのまま出力させる。ここで、エッジが検出され、エッジ判定信号が「1」になっても共通ゲート信号は「0」のままであり、アンド回路 $G_1 \sim G_4$ の出力をそのままオア回路 $G_5 \sim G_8$ から導出させる。また、動き検出信号が「4」以上 ($MSB=1$) でエッジ判定信号が「0」のとき共通ゲート信号は「1」となり、オア回路 $G_5 \sim G_8$ の出力を全て「1」する。ここでエッジが検出され、エッジ判定信号が「1」になると、共通ゲート信号は「0」となり、アンド回路 $G_1 \sim G_4$ の出力をそのままオア回路 $G_5 \sim G_8$ から導出させる。

以上のことからわかるように、変換回路27は、動き成分除去回路28から出力されるエッジ判定信号により第5図(a)の特性をもつテンポラルに

場合に、エッジ検出信号を出力する。これにより $525/2[\text{cph}]$ までのエッジ成分を検出することが可能となり、より正確なエッジ検出が行われる。しかしながら、エッジ検出回路25で検出されたエッジ検出信号は、1フィールドの時間差をもった画素によって検出するため、動き成分も含まれる事になる。そこで動き成分除去回路28により、エッジ検出回路25から出力されるフィールド間エッジ検出信号から動き成分を除去している。

次に、フィールド間エッジ検出を行う画素 L_1 、 L_2 の動き検出について説明する。輝度信号 Y_0 と第2のフィールドメモリから出力される輝度信号 Y_1 が動き検出回路29に供給され、フレーム間差をとり、第5図(d)に示す特性で動き検出信号を生成する。動き検出信号は、第4図に示すようにフィールドメモリ30と最大値選択回路31とか成る制御回路32に供給され、 L_1 における動き検出信号と1フィールド遅延された L_2 における動き検出信号の論理和がとられ動き成分除去回路28にエッジ検出補正用動き検出信号として供給され

引き伸ばされた動き検出信号をエッジ部では第5図(c)の特性に、平坦部では第5図(b)の特性に変換して、最終の補間信号混合用動き検出信号として混合回路17に供給している。混合回路17では動き検出信号の値を K とすると、フィールド間補間信号を $(1 - (K/3))$ 、ライン間補間信号を $(K/3)$ の割合で混合している。

次に、エッジ判定について説明する。第4図に示すようにエッジ検出回路24には、輝度信号 Y_0 が供給されて、フィールド内エッジ検出が行われる。第3図に示すように L_1 と1水平周期遅延された L_2 との差分をとり、差分が所定値を越えた場合にフィールド内エッジ検出信号を出力する。ここで、検出されるエッジは、垂直方向に $525/4[\text{cph}]$ までの成分しか検出できないので、 $525/4[\text{cph}]$ 以上のエッジは、エッジ検出回路25によって検出される。エッジ検出回路25には、輝度信号 Y_0 と第1のフィールドメモリ12から出力される輝度信号 Y_1 とが供給され、第3図に示す L_1 と L_2 の間で差分がとられ、差分が所定値を越えた

る。

第8図には、動き成分除去回路28の構成例を示している。エッジ検出を行う画素 L_1 、 L_2 に動きがあると、動き検出信号が「1」となり、反転回路 G_{11} の出力は「0」となる。するとアンド回路 G_{12} の出力は「0」となり、フィールド間エッジ検出信号が入力(「1」レベル)されてもアンド回路 G_{12} の出力は「0」であるのでフィールド間エッジ検出信号から動き成分が除去される。オア回路 G_{13} は、動き成分が除去されたフィールド間エッジ検出信号とフィールド内エッジ検出信号の論理和をとりエッジ判定信号として出力する。

しかしながら、上記のように補間信号混合用とエッジ検出補正用の2つの動き検出信号を生成する構成では、動き検出信号の欠落を保護するためのフィールドメモリが多数必要となり、回路の大型化や経済的な不利を招くという問題が生じる。

(発明が解決しようとする課題)

上記したように、従来の動き適応処理装置では、補間信号混合用とエッジ検出補正用の2つの

動き検出信号を生成するために、動き検出信号の欠落を保護するためのフィールドメモリを多数もつ必要がある、回路の大型化や経済的な不利を招くという問題を有している。

そこでこの発明は、簡単な構成にして正確な動き検出を行うことができ、経済的にも有利な動き検出処理装置を提供することを目的とする。

〔発明の構成〕

（課題を解決するための手段）

この発明は、補間信号混合用動き検出感度特性とエッジ検出補正用動き検出感度特性を合成した1つの非線形特性により、1つの動き検出信号を生成するようにし、信号数を減らしてフィールド遅延させた後、合成した非線形特性による動き検出信号を補間信号混合用動き検出感度特性、エッジ検出補正用動き検出感度特性による動き検出信号に変換するように構成したものである。

（作用）

上記の手段により、動き検出信号の数が減少するのでフィールド遅延用のメモリも少なくてす

み、しかも精度を損なうことなく正確な動き検出を行うことができ、経済的にも有利なものとすることができる。

（実施例）

以下、この発明の実施例を図面を参照して説明する。第1図はこの発明の一実施例である。但し、第1図において第4図と同一部分には、同一符号を付して示し、その説明を省略する。

第1図は、動き適応ノンインターレース変換回路にこの発明を適用した場合の構成を示すもので、動き検出回路14は、前記輝度信号Y。とY。からフレーム間差をとり、補間信号混合用の動き検出感度特性とエッジ検出補正用の動き検出感度特性とを合成した1つの非線形動き検出感度特性によって動き検出信号をえる。この動き検出信号は、フィールドメモリ20及び最大値選択回路21からなる制御回路22に送られ、テンポラルに引き伸ばされて変換回路27に送られる。

この変換回路27は前記動き成分除去回路26からのエッジ判定信号に従って、エッジ部ではエッジ

部用の動き検出感度特性の動き検出信号に、平坦部では平坦部用の動き検出感度特性の動き検出信号に変換するもので、エッジ検出補正用動き検出信号が合成されていても支障なく変換でき、ここで変換された動き検出信号は前記混合回路17に供給されるようになっている。また、制御回路22により出力される動き検出信号のMSBビットは、動き成分除去回路26に供給され、フィールド間エッジ検出信号から動き成分が除去される。

さらに、具体的に説明すると、まず動き検出回路14の非線形動き検出感度特性は、第2図に示すように、第5図(b)に示した平坦部用の動き検出感度特性と、同図(c)に示したエッジ部用の動き検出感度特性と、同図(d)に示したエッジ検出補正用動き検出感度特性とを加算合成したものとなる。即ち、動き検出信号が「0」から「3」までは平坦部用、「4」から「7」までは、エッジ部用の感度特性であり、またMSBビットがエッジ検出補正用の感度特性である。

第5図(b)に示す平坦部用の動き検出感度特

性は、背景との輝度差の小さい画柄の動きでも検出できるようにフレーム間差が3LSB（映像入力信号を8ビットとした場合）以上の時、動きと判定し、それ以下の時に静止と判定する。この「3LSB」を増大させると動きの判定が不十分となり、フィールド間補間信号の割合が増すために2線ぼけやエッジのぎざぎざという不具合が生じる。

第5図(c)に示すエッジ部分用の動き検出感度特性は、入力映像信号の揺れによる輝度信号の変化を動きと判定しないように動き検出感度を下げ、フレーム間差が16LSB以下の時には、静止と判定するようになっており、「16LSB」を小さくすると動きと判定しやすくなり、静止画像のエッジ部のフィールド内補間信号の割合が増え、エッジ部のちらつきという不具合が発生する。

ここで第5図(a)の特性は、前述したようにエッジ判定により平坦部と判定されると3ビットの動き検出信号は「4」以上の値がオーバーフロー処理されて、第5図(b)に示す特性に変換

され、またエッジ部と判定されると、動き検出信号の「3」以下の値がアンダーフロー処理され、さらにMSBビットが削除されるので第5図(c)に示す特性に変換される。従って、第5図(e)に示す特性も第5図(a)の特性と同様に第7図に示す変換回路27によって、第5図(b)と第5図(c)に示す特性に変換することができる。第5図(a)と同図(e)からフレーム間差が6LSBから16LSBの間では動き検出信号は「3」と「4」のどちらの値でもよいことがわかる。言い換えると、MSB信号は0LSB~5LSBでは「0」、17LSB以上では、「1」であればよいということになる。

第5図(d)は、エッジ検出補正用動き検出感度特性であり、フレーム間差が9LSBより大きい値の時に動きと判定し、以下の時に静止と判定する。この9LSBという値は、平坦部用特性のしきい値とエッジ部用特性のしきい値との中間値であり、実験的にも最良の値である。

このしきい値を9LSBより小さくすると、エ

ッジ検出補正用動き検出感度が高くなるので、フィールド間エッジ検出信号から動き成分だけでなくエッジ成分まで除去してしまい、エッジ検出が不十分となり、画柄のエッジ部分でも平坦部用の動き検出感度となるのでエッジ部でちらつきが発生する。またしきい値を9LSBより大きくするとエッジ検出補正用動き検出感度が低くなるので、フィールド間エッジ検出信号から動き成分を十分に除去できなくなり、画柄の平坦部でも動き検出感度の低いエッジ部用の特性となり、2線ぼけが発生する。

第5図(d)の特性は、前述した「0LSB~5LSBでは「0」、17LSB以上では「1」という条件を満たしており、第5図(a)または同図(e)の補間信号混合用動き検出信号のMSBビットに置き換えることができ、第2図の特性となる。

この感度特性によって得られた動き検出信号は、制御回路22に供給され、テンポラルに引き伸ばされる。これによって動き検出の欠落は、保護され

る。この制御回路22から出力される動き検出信号は、3ビット全てが補間信号混合用動き検出信号として変換回路27に供給されMSBはエッジ検出補正用動き検出信号として動き成分除去回路28に供給される。

したがって、上記実施例の構成によれば、エッジ部と平坦部での特性を同時に果たした補間信号混合用動き検出信号にエッジ検出補正用動き検出信号を合成しているので従来のように2つの動き検出信号に対して遅延用のフィールドメモリを2系統設ける必要がなくなって小型になり、正確な動き検出を行うことができるので、経済的にも有利とすることができる。

なお、上記実施例ではノンインターレース変換方式の場合について説明したが、Y/C分離方式についても同様に実施可能であり、この外その要旨を逸脱しない範囲で種々変形して実施することができる。

[発明の効果]

以上説明したように、この発明によれば、簡単

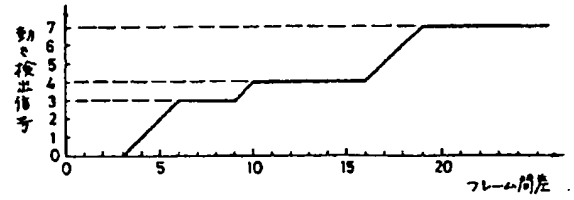
な構成にして正確な動き検出を行うことができ、経済的にも有利な動き適応処理装置を得ることができる。

4. 図面の簡単な説明

第1図はこの発明にかかる動き適応処理装置としての動き適応ノンインターレース変換装置の一実施例を示すブロック構成図、第2図は同実施例の動き検出手段による動き検出感度特性を示す特性図、第3図はインターレースされたテレビジョン信号をノンインターレースに変換する原理を示す図、第4図は従来の動き適応ノンインターレース変換装置を示すブロック構成図、第5図及び第6図はそれぞれ従来の動き適応ノンインターレース変換装置の問題点を説明するための図、第7図は従来の動き検出信号の検出感度特性を切替える変換回路の具体的な構成を示す回路図、第8図は従来の動き成分除去回路の具体的な構成を示す回路図である。

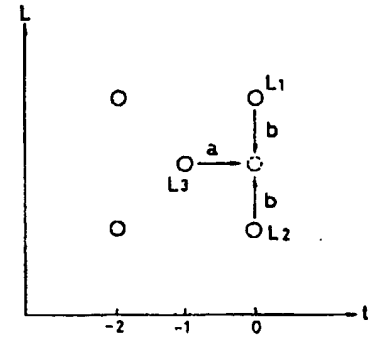
12…フィールドメモリ、14…動き検出回路、15…フィールド間補間信号生成回路、18…ライン

間補間信号生成回路、17…混合回路、18…ノンインターレース変換回路、20…フィールドメモリ、21…最大値選択回路、22…制御回路、24、25…エッジ検出回路、26…動き成分除去回路、27…変換回路。

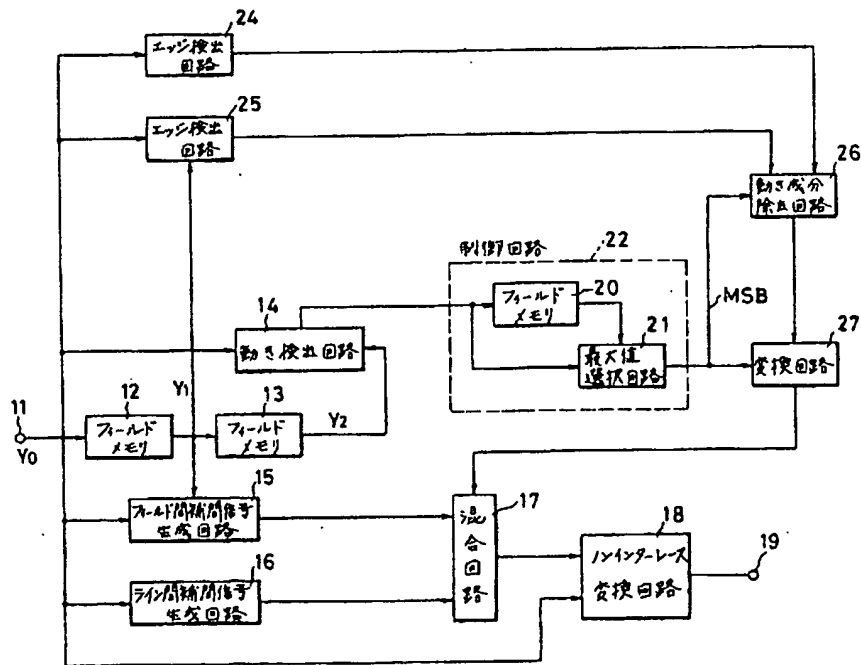


第2図

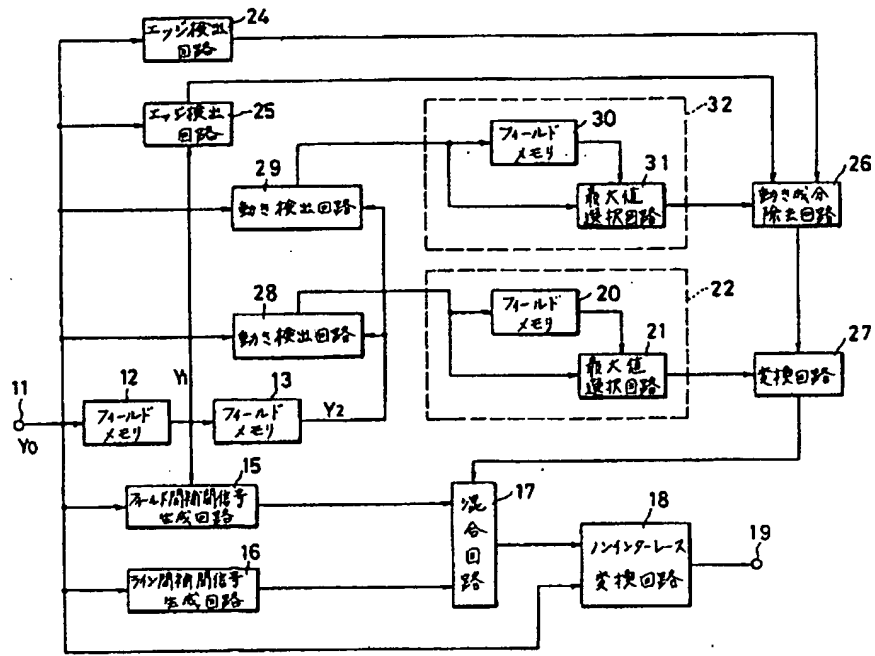
出願人代理人 弁理士 鈴江武彦



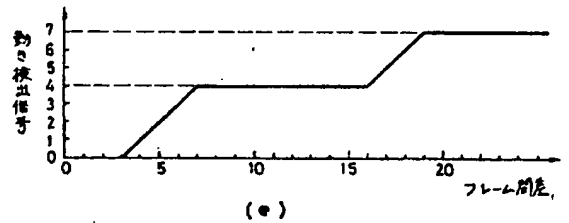
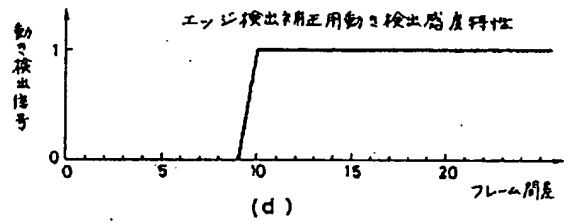
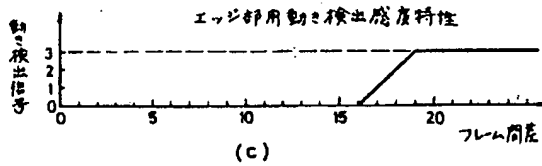
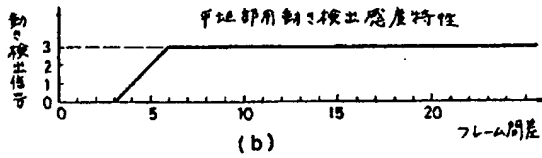
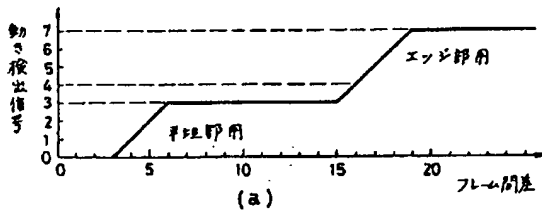
第3図



第1図

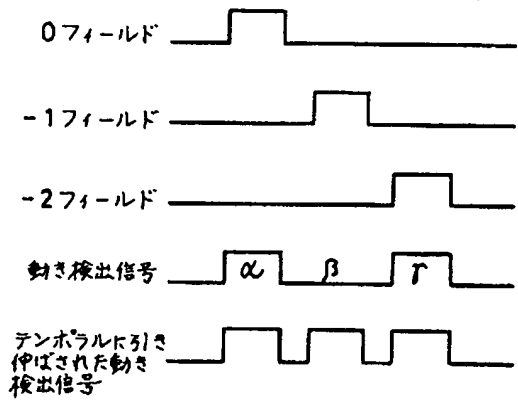


第 4 図

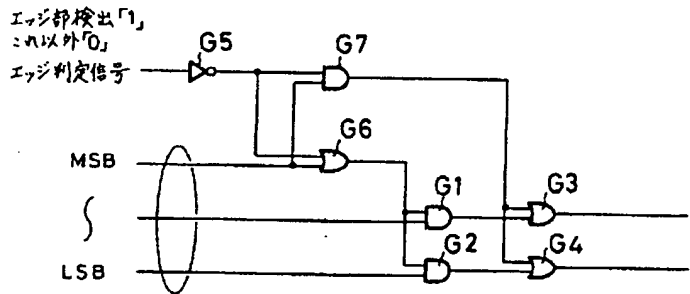


第 5 図

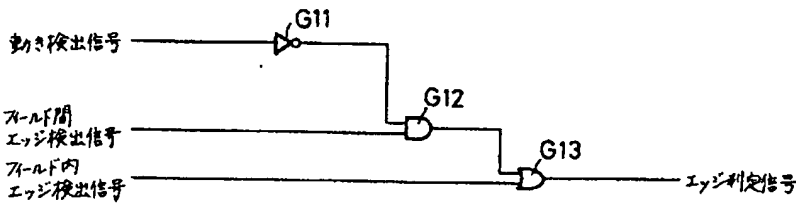
第 5 図



第 6 図



第 7 図



第 8 図